

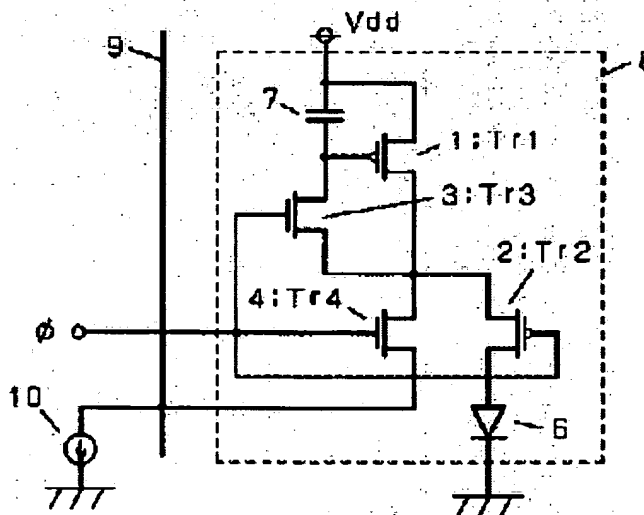
**PIXEL CONFIGURATION AND ACTIVE MATRIX TYPE DISPLAY DEVICE**

**Patent number:** JP2003066905  
**Publication date:** 2003-03-05  
**Inventor:** ADACHI KATSUMI; TAKAHARA HIROSHI; TSUGE HITOSHI  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
**- international:** G09F9/30; G09F9/33; G09G3/20; G09G3/30; G09G3/32; H01L29/786; G09F9/30; G09F9/33; G09G3/20; G09G3/30; G09G3/32; H01L29/66; (IPC1-7): G09G3/30; G09F9/30; G09F9/33; G09G3/20; G09G3/32; H01L29/786  
**- european:**  
**Application number:** JP20010254303 20010824  
**Priority number(s):** JP20010254303 20010824

**Report a data error here**

**Abstract of JP2003066905**

**PROBLEM TO BE SOLVED:** To solve such a problem that, related to a display device of current- writing type active matrix method, a write error occurs in a transition period from writing time to emission time, to degrade picture quality. **SOLUTION:** Appropriate combination of p-type and n-type drive transistor and switching transistor provides such pixel configuration as no writing error occurs. Further, using a single scan line raises the open area ratio of pixel.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-66905  
(P2003-66905A)

(43)公開日 平成15年3月5日(2003.3.5)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 5 C 0 8 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z 5 F 1 1 0
	9/33		Z
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B

審査請求 未請求 請求項の数36 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願2001-254303(P2001-254303)

(22)出願日 平成13年8月24日(2001.8.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 足達 克己

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 高原 博司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

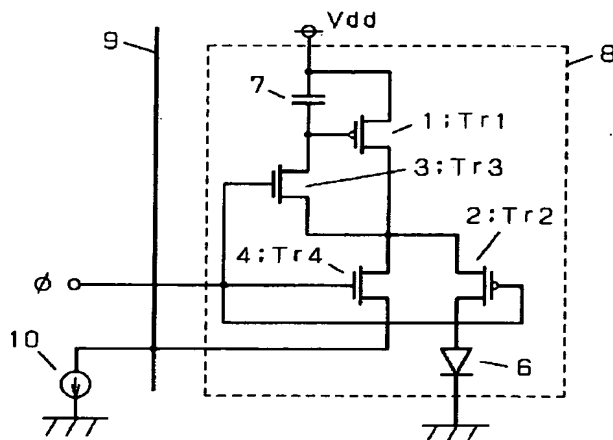
最終頁に続く

(54)【発明の名称】 画素構成およびアクティブマトリクス型表示装置

(57)【要約】

【課題】 電流書き込み型アクティブマトリクス方式の表示装置において、書き込み時から発光時への過渡期間に書き込みエラーが発生し、画質劣化の原因となっていた。

【解決手段】 駆動トランジスタとスイッチングトランジスタのP、N型の適切な組み合わせにより、書き込みエラーの発生しない画素構成とする。さらに、走査線を1本にし、画素開口率も上げる。



## 【特許請求の範囲】

【請求項 1】 基板上に設けられた複数の信号線と、これを駆動する電流出力である信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチングと駆動機能を有する複数のトランジスタを含む画素構成であって、前記画素構成は P チャンネル駆動トランジスタ 1 と、前記トランジスタ 1 のドレインにソースを接続した P チャンネルスイッチングトランジスタ 2 と、前記トランジスタ 2 のドレインに接続された表示素子と、前記トランジスタ 1 のソース・ドレイン間に接続された保持コンデンサと、前記トランジスタ 1 のゲート・ドレイン間にソースとドレインを接続した N チャンネルスイッチングトランジスタ 3 と、前記トランジスタ 1 のドレインにドレインを接続した N チャンネルスイッチングトランジスタ 4 とを備え、前記トランジスタ 4 のソースと前記信号線駆動回路が接続され前記トランジスタ 2 と前記トランジスタ 3 と前記トランジスタ 4 の各ゲートが共通接続されて前記走査線駆動回路に接続されていることを特徴とする画素構成。

【請求項 2】 請求項 1 記載の前記画素構成を使用したことを特徴とするアクティブマトリクス型表示装置。

【請求項 3】 表示素子として有機 EL を用いたことを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 4】 表示素子として LED を用いたことを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記トランジスタ 3 の  $V_t$  よりも前記トランジスタ 4 の  $V_t$  が等しいか小さいことを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 6】 前記トランジスタ 3 のチャンネル長よりも前記トランジスタ 4 のチャンネル長を小さくすることを特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 7】 基板上に設けられた複数の信号線と、これを駆動する電流出力である信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチングと駆動機能を有する複数のトランジスタを含む画素構成であって、前記画素構成は P チャンネル駆動トランジスタ 1 と、前記トランジスタ 1 のドレインにソースを接続した P チャンネルのカスケードトランジスタ 5 と、前記トランジスタ 5 のドレインにソースを接続した P チャンネルスイッチングトランジスタ 2 と、前記トランジスタ 2 のドレインに接続された表示素子と、前記トランジスタ 1 のソース・ドレイン間に接続された保持コンデンサと、前記トランジスタ 1 のゲートと前記トランジスタ 5 のドレイン間にソースとドレインを接続した N チャンネルスイッチングトランジスタ 3

と、前記トランジスタ 1 のドレインにドレインを接続した N チャンネルスイッチングトランジスタ 4 とを備え、前記トランジスタ 4 のソースと前記信号線駆動回路が接続され前記トランジスタ 2 と前記トランジスタ 3 と前記トランジスタ 4 の各ゲートが共通接続されて前記走査線駆動回路に接続されていることを特徴とする画素構成。

【請求項 8】 請求項 7 記載の前記画素構成を使用したことを特徴とするアクティブマトリクス型表示装置。

【請求項 9】 表示素子として有機 EL を用いたことを特徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 10】 表示素子として LED を用いたことを特徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 11】 前記トランジスタ 3 の  $V_t$  よりも前記トランジスタ 4 の  $V_t$  が等しいか小さいことを特徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 12】 前記トランジスタ 3 のチャンネル長よりも前記トランジスタ 4 のチャンネル長を小さくすることを特徴とする請求項 8 記載のアクティブマトリクス型表示装置。

【請求項 13】 基板上に設けられた複数の信号線と、これを駆動する電流出力である信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチングと駆動機能を有する複数のトランジスタを含む画素構成であって、前記画素構成は N チャンネル駆動トランジスタ 1 と、前記トランジスタ 1 のドレインにソースを接続した N チャンネルスイッチングトランジスタ 2 と、前記トランジスタ 2 のドレインに接続された表示素子と、前記トランジスタ 1 のソース・ドレイン間に接続された保持コンデンサと、前記トランジスタ 1 のゲート・ドレイン間にソースとドレインを接続した P チャンネルスイッチングトランジスタ 3 と、前記トランジスタ 1 のドレインにドレインを接続した P チャンネルスイッチングトランジスタ 4 とを備え、前記トランジスタ 4 のソースと前記信号線駆動回路が接続され前記トランジスタ 2 と前記トランジスタ 3 と前記トランジスタ 4 の各ゲートが共通接続されて前記走査線駆動回路に接続されていることを特徴とする画素構成。

【請求項 14】 請求項 13 記載の前記画素構成を使用したことを特徴とするアクティブマトリクス型表示装置。

【請求項 15】 表示素子として有機 EL を用いたことを特徴とする請求項 14 記載のアクティブマトリクス型表示装置。

【請求項 16】 表示素子として LED を用いたことを特徴とする請求項 14 記載のアクティブマトリクス型表示装置。

【請求項 17】 前記トランジスタ 3 の  $V_t$  よりも前記

3

トランジスタ 4 の  $V_t$  が等しいか小さいことを特徴とする請求項 14 記載のアクティブマトリクス型表示装置。

【請求項 18】 前記トランジスタ 3 のチャンネル長よりも前記トランジスタ 4 のチャンネル長を小さくすることを特徴とする請求項 14 記載のアクティブマトリクス型表示装置。

【請求項 19】 基板上に設けられた複数の信号線と、これを駆動する電流出力である信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチングと駆動機能を有する複数のトランジスタを含む画素構成であって、前記画素構成は N チャンネル駆動トランジスタ 1 と、前記トランジスタ 1 のドレインにソースを接続した N チャンネルのカスケードトランジスタ 5 と、前記トランジスタ 5 のドレインにソースを接続した N チャンネルスイッチングトランジスタ 2 と、前記トランジスタ 2 のドレインに接続された表示素子と、前記トランジスタ 1 のソース・ドレイン間に接続された保持コンデンサと、前記トランジスタ 1 のゲートと前記トランジスタ 5 のドレイン間にソースとドレインを接続した P チャンネルスイッチングトランジスタ 3 と、前記トランジスタ 1 のドレインにドレインを接続した P チャンネルスイッチングトランジスタ 4 とを備え、前記トランジスタ 4 のソースと前記信号線駆動回路が接続され前記トランジスタ 2 と前記トランジスタ 3 と前記トランジスタ 4 の各ゲートが共通接続されて前記走査線駆動回路に接続されていることを特徴とする画素構成。

【請求項 20】 請求項 19 記載の前記画素構成を使用したことを特徴とするアクティブマトリクス型表示装置。

【請求項 21】 表示素子として有機 EL を用いたことを特徴とする請求項 20 記載のアクティブマトリクス型表示装置。

【請求項 22】 表示素子として LED を用いたことを特徴とする請求項 20 記載のアクティブマトリクス型表示装置。

【請求項 23】 前記トランジスタ 3 の  $V_t$  よりも前記トランジスタ 4 の  $V_t$  が等しいか小さいことを特徴とする請求項 20 記載のアクティブマトリクス型表示装置。

【請求項 24】 前記トランジスタ 3 のチャンネル長よりも前記トランジスタ 4 のチャンネル長を小さくすることを特徴とする請求項 20 記載のアクティブマトリクス型表示装置。

【請求項 25】 基板上に設けられた複数の信号線と、これを駆動する電流出力である信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチングと駆動機能を有する複数のトランジスタを含む画素構成であって、前記画素構成は P チャンネル駆動トランジスタ 11 と、前記トランジスタ 11

4

のドレインに接続された表示素子と、前記トランジスタ 11 とゲートとソースが共通接続された P チャンネルのカレントミラートランジスタ 12 と、前記トランジスタ 11 および前記トランジスタ 12 のソース・ゲート間に接続された保持コンデンサと、前記トランジスタ 12 のゲート・ドレイン間にソースとドレインを接続した N チャンネルスイッチングトランジスタ 3 と、前記トランジスタ 12 のドレインにドレインを接続した N チャンネルスイッチングトランジスタ 4 とを備え、前記トランジスタ 4 のソースと前記信号線駆動回路が接続され前記トランジスタ 3 と前記トランジスタ 4 の各ゲートが共通接続されて前記走査線駆動回路に接続されていることを特徴とする画素構成。

【請求項 26】 請求項 25 記載の前記画素構成を使用したことを特徴とするアクティブマトリクス型表示装置。

【請求項 27】 表示素子として有機 EL を用いたことを特徴とする請求項 26 記載のアクティブマトリクス型表示装置。

【請求項 28】 表示素子として LED を用いたことを特徴とする請求項 26 記載のアクティブマトリクス型表示装置。

【請求項 29】 前記トランジスタ 3 の  $V_t$  よりも前記トランジスタ 4 の  $V_t$  が等しいか小さいことを特徴とする請求項 26 記載のアクティブマトリクス型表示装置。

【請求項 30】 前記トランジスタ 3 のチャンネル長よりも前記トランジスタ 4 のチャンネル長を小さくすることを特徴とする請求項 26 記載のアクティブマトリクス型表示装置。

【請求項 31】 基板上に設けられた複数の信号線と、これを駆動する電流出力である信号線駆動回路と、前記信号線と直交する複数の走査線と、これを駆動する走査線駆動回路と、前記信号線と前記走査線の交点近傍に設けられたスイッチングと駆動機能を有する複数のトランジスタを含む画素構成であって、前記画素構成は N チャンネル駆動トランジスタ 11 と、前記トランジスタ 11 のドレインに接続された表示素子と、前記トランジスタ 11 とゲートとソースが共通接続された N チャンネルのカレントミラートランジスタ 12 と、前記トランジスタ 11 および前記トランジスタ 12 のソース・ゲート間に接続された保持コンデンサと、前記トランジスタ 12 のゲート・ドレイン間にソースとドレインを接続した P チャンネルスイッチングトランジスタ 3 と、前記トランジスタ 12 のドレインにドレインを接続した P チャンネルスイッチングトランジスタ 4 とを備え、前記トランジスタ 4 のソースと前記信号線駆動回路が接続され前記トランジスタ 3 と前記トランジスタ 4 の各ゲートが共通接続されて前記走査線駆動回路に接続されていることを特徴とする画素構成。

【請求項 32】 請求項 31 記載の前記画素構成を使用

したことを特徴とするアクティブマトリクス型表示装置。

【請求項33】 表示素子として有機ELを用いたことを特徴とする請求項32記載のアクティブマトリクス型表示装置。

【請求項34】 表示素子としてLEDを用いたことを特徴とする請求項32記載のアクティブマトリクス型表示装置。

【請求項35】 前記トランジスタ3の $V_t$ よりも前記トランジスタ4の $V_t$ が等しいか小さいことを特徴とする請求項32記載のアクティブマトリクス型表示装置。

【請求項36】 前記トランジスタ3のチャンネル長よりも前記トランジスタ4のチャンネル長を小さくすることを特徴とする請求項32記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は信号駆動回路から電流書き込みで発光輝度を制御する画素構造を持つアクティブマトリクス型表示装置に関し、書き込み時から発光時への切り換え時において、正常に書き込み電流を発光電流に伝えることが可能とするものであり、有機EL、LED表示装置などに適用可能である。

【0002】

【従来の技術】電流書き込み型のアクティブマトリクス型表示装置の画素構成の一例を図9に示す。図9において、1は駆動トランジスタ1、2はスイッチングトランジスタ2、3はスイッチングトランジスタ3、4はスイッチングトランジスタ4を示し、他に6の発光素子、7の保持コンデンサで画素構成8を形成する。そして、各画素はマトリクス状に並べられ各行には走査線 $\phi$ と $\phi$ バーの2本があり、信号線9は列毎に並べられ信号線駆動回路10により、駆動される。通常、トランジスタはガラスの上にCVDなどの薄膜形成法による薄膜FETで形成され、図9の例では全てPチャンネルトランジスタによる例である。

【0003】次に駆動波形を図10に示す。図10は走査側の波形図 $\phi$ と $\phi$ バーを示しており、1垂直期間（通常1/60s、16.7ms）に画面縦の走査線数分の1である水平期間（縦240本では約70 $\mu$ s）に $\phi$ をロー（GNDレベル近辺の電位）、排他的である $\phi$ バーはハイ（V<sub>dd</sub>近辺の電位）にして、信号線駆動回路10が発生する電流を書き込み、他の期間は書き込まれた同じ値の電流を発光素子5に流して画像を点灯する。むろん、ある期間には1行のみ書き込んでいて、それを上から下に順番に走査する。

【0004】この時の書き込み、発光を図11、12と共に説明する。電流書き込み期間の等価回路が図11であり、スイッチングトランジスタ2は開放、スイッチングトランジスタ3、4は閉じており、駆動トランジスタ

1には信号線駆動回路10が決める書き込み電流*i*が流れる。この時に駆動トランジスタ1のソース・ゲート間に接続された保持コンデンサ7には書き込み電流*i*に相当するソース・ゲート間電圧V<sub>gs</sub>が書き込まれる。次にスイッチングトランジスタ3、4が開放、スイッチングトランジスタ2が閉じる発光期間の等価回路を図12に示す。この期間の駆動トランジスタ1ではソース・ゲート間電圧V<sub>gs</sub>がそのまま保たれるので、同じ電流値*i*がスイッチングトランジスタ2を通じて発光素子6に流れる。

【0005】なぜ、電流書き込みを行うかを簡単に説明すると、有機ELやLEDは本質的に電流と発光する輝度の比例する素子である点、有機ELの端子電圧は製造条件、温度などにより変動しやすい点、駆動トランジスタのスレッシュホールド電圧（以下 $V_t$ と略す）は薄膜製造条件で本質的にゆらぎが避けがたい点があり、電流で電圧のばらつきを吸収し均一な画像特性が得られるからである。

【0006】

【発明が解決しようとする課題】以上述べたように、電流書き込み型の画素構成では正確に書き込み電流と発光電流を一致させる必要があるが、発明者はスイッチングトランジスタ3とスイッチングトランジスタ4の過渡的な動作により、電流値が変わってしまう現象を見出した。

【0007】図13にその過渡的な等価回路を示す。その現象は書き込みから発光へ移る時に、スイッチングトランジスタ4が先に開放してしまい、短期間ではあるがスイッチングトランジスタ3のみが閉じている時に発生する。すると図13に示すように、保持コンデンサ7に保たれたソース・ゲート間電圧V<sub>gs</sub>が駆動トランジスタ1を通じてリーク電流を流して放電してしまう。このため、ソース・ゲート間電圧V<sub>gs</sub>が変化し、発光時の電流が変化してしまうことになる。さらに1行あたり、2本の制御線を引くことは画素発光部の開口率を落とし、輝度低下につながる欠点もあった。

【0008】

【課題を解決するための手段】本発明は前述のスイッチングトランジスタ3がスイッチングトランジスタ4よりも先に開放する画素構成を見出し、第1の発明は駆動トランジスタ1とスイッチングトランジスタ2をPチャンネルトランジスタ、スイッチングトランジスタ3、4をNチャンネルトランジスタで構成するものである。

【0009】第2の発明は第1の発明にカスケードトランジスタ5を追加して発光素子の端子電圧変動を吸収するものである。

【0010】第3の発明は駆動トランジスタ1とスイッチングトランジスタ2をNチャンネルトランジスタ、スイッチングトランジスタ3、4をPチャンネルトランジスタで構成するものである。

【0011】第4の発明は第3の発明にカスケードトランジスタ5を追加して発光素子の端子電圧変動を吸収するものである。

【0012】第5の発明は電流書き込みでもカレントミラー型の構成に適用し、駆動トランジスタ11とカレントミラートランジスタ12をPチャンネルトランジスタで、スイッチングトランジスタ3、4をNチャンネルトランジスタで構成するものである。

【0013】第6の発明はカレントミラー型の構成で、駆動トランジスタ11とカレントミラートランジスタ12をNチャンネルトランジスタに、スイッチングトランジスタ3、4をPチャンネルトランジスタで構成するものである。

#### 【0014】

【発明の実施の形態】（実施の形態1）第1の本発明の実施形態の画素構成を図1に示し、図と共に説明する。図9と同一機能を有する要素は同一番号を付し、説明を省略する。本発明では駆動トランジスタ1とスイッチングトランジスタ2はPチャンネルトランジスタで従来と同様に、スイッチングトランジスタ3と4はNチャンネルトランジスタで構成されている。その波形を図2に示す。タイミングとしては図10の $\phi$ と同様で、水平期間に書き込み、垂直期間保持と発光も同様に行う。ここで書き込み期間終了時の過渡状態を説明する。走査信号 $\phi$ がハイからローに変化する際に、スイッチングトランジスタ3とスイッチングトランジスタ4のソース電位に着目すると、スイッチングトランジスタ3のソース電位はスイッチングトランジスタ4のソース・ドレイン間電位分（スイッチ動作なので0.1~0.3V程度ではあるが）だけスイッチングトランジスタ4のソース電位よりも高い。そのため、走査信号 $\phi$ =ゲート電位の低下に従って導通からオープンになる際に $V_t$ が同等であれば必ずスイッチングトランジスタ3の方が早くオープンとなり、図13に示す不都合は発生しない。通常、同一画素内に隣接されて設置されるので、前述の $V_t$ が同一という関係は成立する。さらに、イオン打ち込みの条件を変える等のプロセスを導入することで積極的にスイッチングトランジスタ3の $V_t$ を上げる、ないしはスイッチングトランジスタ4の $V_t$ を下ればより確実に問題を回避できる。別な方法として、スイッチングトランジスタのチャンネル長をスイッチングトランジスタ3、4間で変える。具体的には、スイッチングトランジスタ3のチャンネル長をスイッチングトランジスタ4のチャンネル長よりも長くすることで、スイッチングトランジスタ3がより早くオフとなり問題を回避することも可能である。

【0015】（実施の形態2）第2の本発明の実施形態の画素構成を図3に示す。図1と同一機能を有する要素は同一番号を付し、説明を省略する。本発明では駆動トランジスタ1のドレイン側にカスケードトランジスタ5

を追加し、発光期間時の出力インピーダンスを上げ、発光素子の端子電圧の変動を吸収するのである。これは有機ELで発光時間に比例して端子電圧が上昇するという現象に対して電流を一定にし、輝度を保つ効果がある。その他のスイッチングトランジスタの機能は第1の発明と同等である。

【0016】（実施の形態3）第3の本発明の実施形態の画素構成を図4に示す。図1と同一機能を有する要素は同一番号を付し、説明を省略する。本発明は駆動トランジスタ1とスイッチングトランジスタ2をNチャンネルトランジスタに、スイッチングトランジスタ3、4をPチャンネルトランジスタで構成した形態である。図5に走査信号波形 $\phi$ バーを示す。図1とはP、Nが反対となり、それに伴い電源と発光素子の極性も変わっているが、本発明の本質は変わらない。つまり、スイッチングトランジスタ3のソース電位はスイッチングトランジスタ4のソース・ゲート電位分だけ低いため、スイッチングトランジスタ3はスイッチングトランジスタ4よりも早めにオープンするのである。

【0017】（実施の形態4）第4の本発明の実施形態の画素構成を図6に示す。図1と同一機能を有する要素は同一番号を付し、説明を省略する。本発明は第1と第2の発明の関係と同様、駆動トランジスタ1のドレイン側にカスケードトランジスタ5を追加し、発光期間時の出力インピーダンスを上げたものである。

【0018】ちなみに、本発明は書き込み時から発光時の過渡的な問題を解決することを目的とし、単純なPとNチャンネルトランジスタの組み合わせによる走査線の低減だけを目的とするものでない。例えば、図1の場合、スイッチングトランジスタ2をNチャンネルトランジスタ、スイッチングトランジスタ3と4をPチャンネルトランジスタとした組み合わせでも走査線を1本とすることが可能である。しかしこの場合、図10の $\phi$ バー相当の走査線波形となるが、スイッチングトランジスタ3のソース電位が高い分、オープンが遅れて逆に図13の問題を引き起こしてしまう。本発明の組み合わせのみが過渡的な問題と走査線の削減を同時に解決可能となる。

【0019】（実施の形態5）第5の本発明の実施形態の画素構成を図7に示す。本発明は画素書き込みでもカレントミラーと呼ばれる方式に適用した形態である。保持コンデンサ7、発光素子6、信号線9、信号線駆動回路10は図1と同様な働きをする。駆動トランジスタ11とカレントミラートランジスタ12はPチャンネルトランジスタで構成され、ペアとなり、カレントミラー動作を行う。書き込み時は走査線信号 $\phi$ をハイにし、スイッチングトランジスタ4とスイッチングトランジスタ3を導通させ、カレントミラートランジスタ12に信号線駆動回路10で決めた書き込み電流を流させ、同時にスイッチングトランジスタ3が導通しているので、保持コ

ンデンサ7に書き込み電流に相当するソース・ゲート間電圧を充電する。書き込み期間後はスイッチングトランジスタ3、4が共にオープンされ、駆動トランジスタ11には設定されたソース・ゲート間電圧の電流、すなわち書き込み電流と同じ値の電流を発光素子6に流すことが出来る。この場合も、第1の発明と同様にスイッチングトランジスタ3、4が導通から開放へ至る過渡的な期間において、スイッチングトランジスタ3のソース電位がスイッチングトランジスタ4のソース電位よりも高い分、早く開放状態となり、図13に相当する書き込み電流エラーは発生しない。

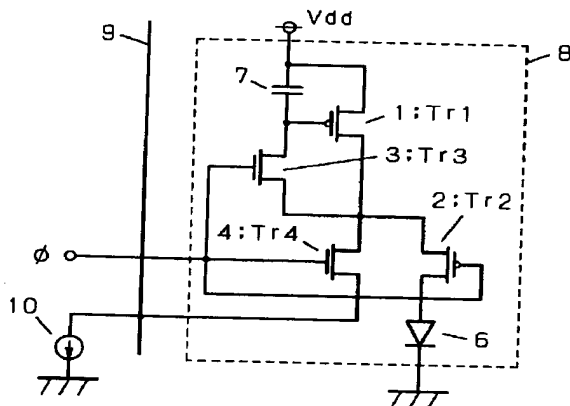
【0020】(実施の形態6) 第6の本発明の実施形態の画素構成を図8に示す。本発明は第5の発明と駆動トランジスタ、スイッチングトランジスタの極性を反対にして構成している。それに伴い、発光素子6、信号線駆動回路10および電源も合わせて逆にしている。本質動作そのものは第5の発明と同様であり、スイッチングトランジスタ3が先に開放される点も同様である。

【0021】

【発明の効果】本発明による共通的な効果は、電流書き込み時から発光時に至る過渡期間において、スイッチングトランジスタ3がスイッチングトランジスタ4よりも先に開放状態となり、書き込みエラーが発生することはない。そして、走査線駆動線が1本ですみ画素開口率が上がり、その上、走査線と信号線とのクロスオーバー面積が減るので浮遊容量も減少する。この浮遊容量は低輝度時は低電流で書き込まないといけない電流書き込み方式では特に重要な効果である。

【0022】そして、第2、第4の本発明では更に、駆

【図1】



動トランジスタ1の出力インピーダンスを上昇せしめ、発光素子6の端子電圧のばらつきを吸収することが可能となる。

【図面の簡単な説明】

【図1】 第1の発明の実施形態の画素構成図

【図2】 第1の発明の実施形態の走査線波形図

【図3】 第2の発明の実施形態の画素構成図

【図4】 第3の発明の実施形態の画素構成図

【図5】 第3の発明の実施形態の走査線波形図

【図6】 第4の発明の実施形態の画素構成図

【図7】 第5の発明の実施形態の画素構成図

【図8】 第6の発明の実施形態の画素構成図

【図9】 従来の画素構成図

【図10】 従来の走査線波形図

【図11】 電流書き込み時の動作説明図

【図12】 発光時の動作説明図

【図13】 過渡時の等価回路図

【符号の説明】

1, 11 駆動トランジスタ1

2 スwitchングトランジスタ2

3 スwitchングトランジスタ3

4 スwitchングトランジスタ4

5 カスケードトランジスタ5

6 発光素子

7 保持コンデンサ

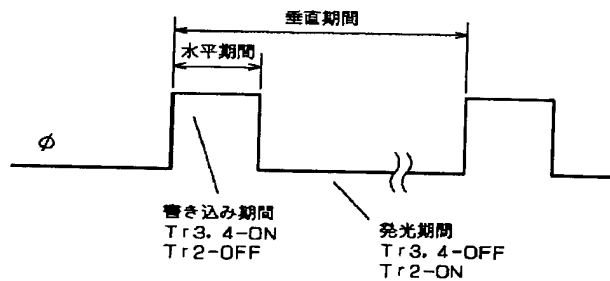
8 画素構成

9 信号線

10 信号線駆動回路

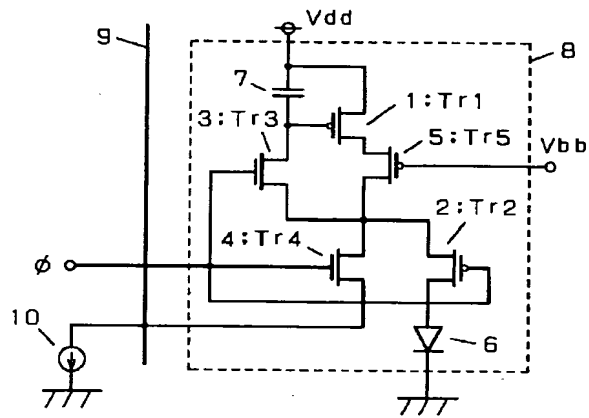
12 カレントミラートランジスタ12

【図2】

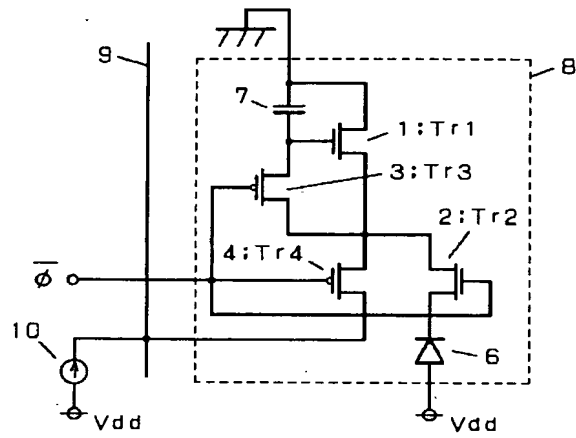




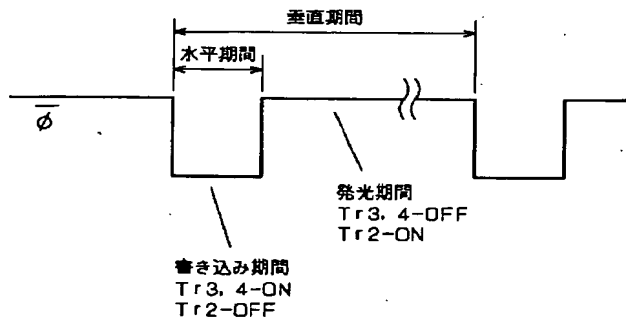
【図3】



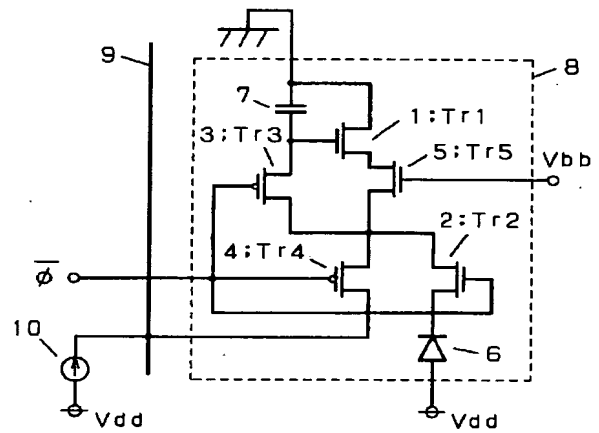
【図4】



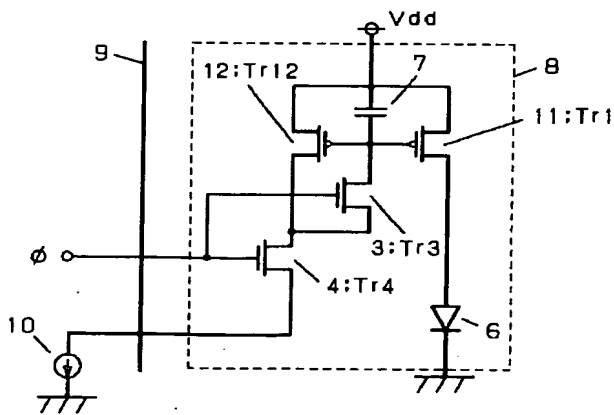
【図5】



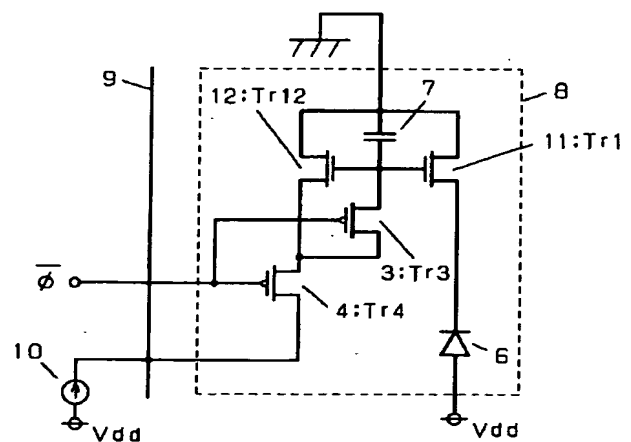
【図6】



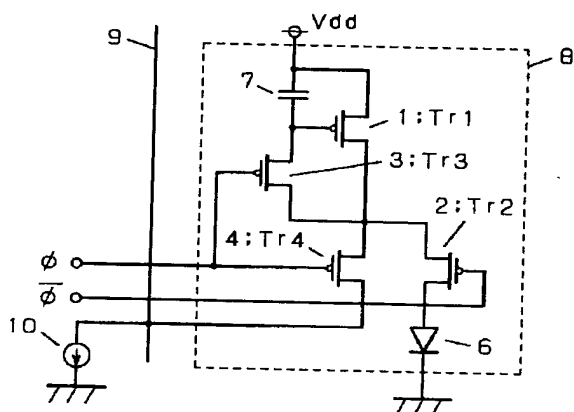
【図7】



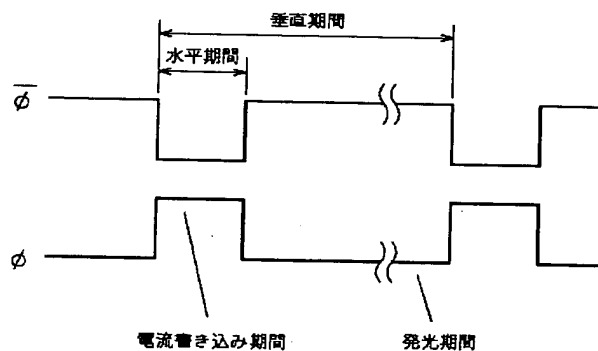
【図8】



【図9】

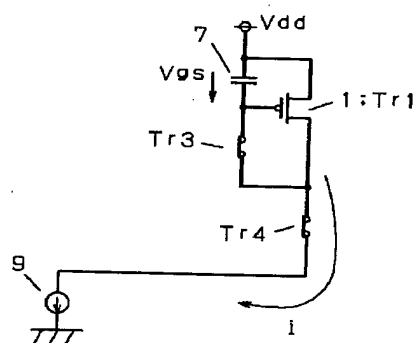


【図10】

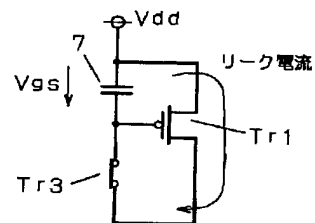
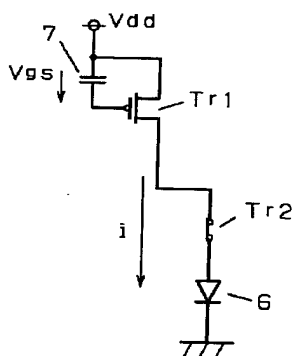


【図13】

【図11】



【図12】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

G 0 9 G 3/20

識別記号

6 4 1

6 7 0

3/32

H 0 1 L 29/786

F I

G 0 9 G 3/20

テ-マ-コ-ト (参考)

6 4 1 D

6 7 0 E

3/32

A

H 0 1 L 29/78

6 1 4

(72) 発明者 柘植 仁志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内F タ-ム (参考) 5C080 AA06 BB05 DD09 FF11 JJ03  
JJ04

5C094 AA09 AA25 AA53 BA03 BA23

BA27 CA19 EA04 EA07

5F110 AA30 BB01 BB13 NN72

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**